

54396-US
MK/h

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

JC675 U.S. PTO
09/675209
09/29/00

#2
Priority
paper
3-21-01
R. Atake

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年10月 8日

出 願 番 号

Application Number:

平成11年特許願第288250号

出 願 人

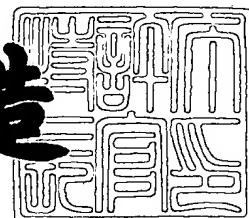
Applicant (s):

株式会社デンソー

2000年 9月 1日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3069732

【書類名】 特許願

【整理番号】 N990504

【提出日】 平成11年10月 8日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明の名称】 半導体装置及び絶縁ゲート型バイポーラトランジスタ

【請求項の数】 8

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 鈴木 幹昌

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 黒柳 晃

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 宮嶋 健

【特許出願人】

 【識別番号】 000004260

 【氏名又は名称】 株式会社デンソー

 【代表者】 岡部 弘

【代理人】

 【識別番号】 100071135

 【住所又は居所】 名古屋市中区栄四丁目 6 番 1 5 号 名古屋あおば生命ビル

 【弁理士】

 【氏名又は名称】 佐藤 強

 【電話番号】 052-251-2707

【手数料の表示】

 【予納台帳番号】 008925

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9200169

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及び絶縁ゲート型バイポーラトランジスタ

【特許請求の範囲】

【請求項 1】 1 個の半導体基板と、

この半導体基板の表面に設けられた複数個のセルブロックと、

これらセルブロックにそれぞれ設けられ、互いに独立する複数個のゲート電極と、

前記半導体基板に設けられ、前記各ゲート電極にそれぞれ接続された複数個のゲートパッドとを備えて成る半導体装置。

【請求項 2】 前記半導体基板が矩形状に構成されていると共に、

前記複数個のゲートパッドが前記半導体基板の一边部に並べて配置されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記半導体基板の外部に設けられたゲート端子と、

前記半導体基板の外部に設けられたグランド端子とを備え、

前記複数個のセルブロックのうちの良品のセルブロックのゲート電極に接続されたゲートパッドを前記ゲート端子に接続すると共に、

前記複数個のセルブロックのうちの不良品のセルブロックのゲート電極に接続されたゲートパッドを前記グランド端子に接続したことを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 前記半導体基板の外部に設けられゲート端子と、

前記半導体基板に設けられたエミッタパッドまたはソースパッドとを備え、

前記複数個のセルブロックのうちの良品のセルブロックのゲート電極に接続されたゲートパッドを前記ゲート端子に接続すると共に、

前記複数個のセルブロックのうちの不良品のセルブロックのゲート電極に接続されたゲートパッドを前記エミッタパッドまたは前記ソースパッドに接続したことを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 5】 前記ゲートパッドと前記ゲート端子とをワイヤボンディングにより接続すると共に、

前記ゲートパッドと、前記グランド端子または前記エミッタパッドまたは前記

ソースパッドとをワイヤボンディングにより接続することを特徴とする請求項 3 または 4 記載の半導体装置。

【請求項 6】 前記ゲートパッドと前記ゲート端子とを半田接合により接続すると共に、

前記ゲートパッドと、前記グランド端子または前記エミッタパッドまたは前記ソースパッドとを半田接合により接続することを特徴とする請求項 3 または 4 記載の半導体装置。

【請求項 7】 前記ゲートパッドと前記ゲート端子とを圧接により接続すると共に、

前記ゲートパッドと、前記グランド端子または前記エミッタパッドまたは前記ソースパッドとを圧接により接続することを特徴とする請求項 3 または 4 記載の半導体装置。

【請求項 8】 1 個の絶縁ゲート型バイポーラトランジスタチップと、
この絶縁ゲート型バイポーラトランジスタチップに設けられた複数個のセルブロックと、

これらセルブロックにそれぞれ設けられ、互いに独立する複数個のゲート電極と、

前記絶縁ゲート型バイポーラトランジスタチップに設けられ、前記各ゲート電極にそれぞれ接続された複数個のゲートパッドとを備えて成る絶縁ゲート型バイポーラトランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体基板の表面に電流制御用のゲート電極を備えた半導体装置及び絶縁ゲート型バイポーラトランジスタに関する。

【0002】

【従来の技術】

高耐圧、大電流用のパワー素子である例えば I G B T（絶縁ゲート型バイポーラトランジスタ）において、チップサイズを大形化すると、チップの外周部に設

ける耐压構造（例えばガードリング構造）が占める面積の割合を小さくすることができる。また、部品点数を削減できることから、組立構造を簡略化できると共に、コストを低減できるという効果を得ることができる。

【0003】

一方、IGBTを製造する半導体ウエハプロセスにおいては、例えばパーティクル等に起因して欠陥が発生することにより、ゲート・エミッタ間が短絡するという不良が発生することがある。そして、このような不良は、チップサイズが大きくなるほど、発生し易くなり、良品率が低下するという問題点があった。

【0004】

このような問題点を解消する技術として、特開平8-191145号公報に記載されたIGBTの製造方法がある。この方法では、IGBTを複数のセルブロック（ゲートブロック）に分け、各ゲートブロックから各ブロック共通のゲートボンディングパッドへの配線取出しを二層配線構造とすることを提案している。そして、半導体ウエハプロセスの途中、すなわち、各ブロック個別に設定された一層目ゲート配線の形成後、複数個のセルブロックについて、それぞれゲート・エミッタ間が短絡しているか否か、即ち、良否の判定を行い、その後、層間絶縁膜を形成し、良否の判定結果に従い、層間絶縁膜に設けた各ブロック毎のヴィアホールをディスペンサ等によりポリイミド液を滴下し、良品のセルブロックの一層目ゲート配線だけを二層目ゲート配線に接続し、不良品のセルブロックの一層目ゲート配線を二層目ゲート配線から切り離してソース電極に短絡するような2層配線を形成するように構成している。この方法によれば、複数個のセルブロックの中に不良ブロックがある場合でも、良品のセルブロックだけでIGBTを構成することができ、IGBTが正常に動作するようになることから、良品率が低下することを防止できる。

【0005】

【発明が解決しようとする課題】

しかしながら、上記公報の方法では、半導体ウエハプロセスの途中で、複数個のセルブロックについて良否の判定を行い、その後、良品のセルブロックだけを選択してゲートボンディングパッドに接続する多層配線構造を形成する半導体ウ

エハプロセスを実行しなければならないので、工程が非常に複雑になるという欠点があった。また、半導体ウエハプロセスの途中で、セルブロックの良否の判定を行うことは、実際にはかなり困難である（上記公報にも、その具体的方法は全く開示されていない）ため、上記公報の方法を実際に使用することは、ほとんど不可能であると考えられる。

【 0 0 0 6 】

そこで、本発明の目的は、半導体装置のチップサイズを大形化した場合でも、良品率が低下することを防止でき、しかも、半導体ウエハプロセスが複雑になることを防止できる半導体装置及び絶縁ゲート型バイポーラトランジスタを提供することにある。

【 0 0 0 7 】

【課題を解決するための手段】

請求項 1 の発明においては、1 個の半導体基板と、この半導体基板の表面に設けられた複数個のセルブロックとを備え、これらセルブロックに互いに独立する複数個のゲート電極をそれぞれ設け、そして、前記半導体基板に前記各ゲート電極にそれぞれ接続された複数個のゲートパッドを設けた。この構成によれば、複数個のゲートパッドを利用することにより、周知の検査装置を使用して、複数個のセルブロックの良否の判定を容易に行うことができる。そして、この構成の場合、良品のセルブロックのゲートパッドだけを、外部のゲート端子に接続することが可能になる。このため、複数個のセルブロックの中に不良品がある場合でも、良品のセルブロックだけで半導体装置を構成することができ、半導体装置が正常に動作するようになることから、良品率が低下することを防止できる。

【 0 0 0 8 】

しかも、上記構成の場合、半導体ウエハプロセスのプロセス数は従来構成と同じで済む。従って、半導体装置のチップサイズを大形化した場合でも、良品率が低下することを防止でき、しかも、半導体ウエハプロセスが複雑になることを防止できる。

【 0 0 0 9 】

請求項 2 の発明によれば、半導体基板を矩形状に構成すると共に、複数個のゲ

ートパッドを半導体基板の一辺部に並べて配置するように構成したので、ゲートパッドを外部のゲート端子に接続する接続形態を設計し易くなる。

【0010】

請求項3の発明においては、複数個のセルブロックのうちの良品のセルブロックのゲート電極に接続されたゲートパッドをゲート端子に接続すると共に、複数個のセルブロックのうちの不良品のセルブロックのゲート電極に接続されたゲートパッドをグランド端子に接続するように構成した。この構成によれば、良品のセルブロックのゲートパッドだけを外部のゲート端子に接続したので、複数個のセルブロックの中に不良品がある場合でも、良品のセルブロックだけで半導体装置を構成することができ、半導体装置が正常に動作することになることから、良品率の低下を防止できる。

【0011】

請求項4の発明によれば、複数個のセルブロックのうちの良品のセルブロックのゲート電極に接続されたゲートパッドをゲート端子に接続すると共に、複数個のセルブロックのうちの不良品のセルブロックのゲート電極に接続されたゲートパッドをエミッタパッドまたはソースパッドに接続するように構成したので、請求項3の発明とほぼ同じ作用効果を得ることができる。

【0012】

請求項5の発明によれば、ゲートパッドとゲート端子とをワイヤボンディングにより接続すると共に、ゲートパッドとグランド端子またはエミッタパッドまたはソースパッドとをワイヤボンディングにより接続するように構成したので、ゲートパッドと各端子または各パッドとの接続を容易に実現することができる。

【0013】

請求項6の発明によれば、ゲートパッドとゲート端子とを半田接合により接続すると共に、ゲートパッドとグランド端子またはエミッタパッドまたはソースパッドとを半田接合により接続するように構成したので、ゲートパッドと各端子または各パッドとの接続を容易に実現することができ、また、半導体装置の冷却性能を向上させることができる。

【0014】

請求項7の発明によれば、ゲートパッドとゲート端子とを圧接により接続すると共に、ゲートパッドとグランド端子またはエミッタパッドまたはソースパッドとを圧接により接続するように構成したので、ゲートパッドと各端子または各パッドとの接続を容易に実現することができ、また、半導体装置の冷却性能を向上させることができる。

【0015】

請求項8の発明によれば、絶縁ゲート型バイポーラトランジスタのチップサイズを大形化した場合でも、良品率が低下することを防止でき、しかも、半導体ウエハプロセスが複雑になることを防止できる。

【0016】

【発明の実施の形態】

以下、本発明をIGBT（絶縁ゲート型バイポーラトランジスタ）に適用した第1の実施例について、図1ないし図3を参照しながら説明する。まず、図2は本実施例のIGBT1のチップの縦断面構造を概略的に示す縦断面模式図である。この図2に示すように、本実施例のIGBT1はトレンチゲート型IGBTである。このIGBT1は、半導体基板である例えばp+基板（p+シリコン基板）

2を備えており、このp+基板2の上に、n+バッファ層3とn-ドリフト層4が順にエピタキシャル成長法を用いて形成されている。

【0017】

そして、n-ドリフト層4の上面には、pベース層5が形成されている。このpベース層5には、多数のトレンチ6が上記pベース層5を貫通してn-ドリフト層4に達するように形成されている。トレンチ6の内部には、ゲート絶縁膜7を介してゲート電極8が形成されている。ゲート絶縁膜7は例えば酸化シリコン膜或いはONO膜で形成されており、ゲート電極8は例えば多結晶シリコンで形成されている。

【0018】

更に、pベース層5の表面におけるトレンチ6の上部に接する部分には、高濃度のn+エミッタ層9が選択的に形成されている。そして、pベース層5の上面

には、エミッタ電極 1 0 が p ベース層 5 と n + エミッタ層 9 に接するように形成されている。また、p + 基板 2 の裏面（下面）には、コレクタ電極 1 1 が形成されている。

【0 0 1 9】

ここで、上記した構成の I G B T 1 のチップ（即ち、半導体基板 2）の表面は、複数個（即ち、2 個以上）の I G B T 領域であるセルブロック 1 2（1 2 a、1 2 b、1 2 c、……）に分割されるように構成されている（図 1 も参照）。即ち、I G B T 1 のチップの表面には、複数個のセルブロック 1 2（1 2 a、1 2 b、1 2 c、……）が設けられている。尚、セルブロック 1 2 の個数については、I G B T 1 のチップのサイズによって好ましい数値が変化するが、本実施例の場合、1 0 ～ 2 0 個程度設けることが好ましい。

【0 0 2 0】

そして、各セルブロック 1 2（1 2 a、1 2 b、1 2 c、……）に設けられているゲート電極 8 は、セルブロック毎に互いに独立する（即ち、電氣的に分離される）ように構成されている。

【0 0 2 1】

尚、1 個のセルブロック 1 2 に設けられている M O S F E T セルの個数（即ち、ゲート電極 8 またはトレンチ 6）の個数は、セルピッチ及びセルエリアのサイズ（セルブロックのサイズ）により変化するが、数百～数千個程度である。これは、通常、セルピッチが数 μ m 程度であり、セルエリアのサイズが数 mm 角程度であるためである。そして、1 個のセルブロック 1 2 内のゲート電極 8 は、図 2 に示すように、配線層 1 3 により全て互いに接続されている。また、1 個のセルブロック 1 2 内のエミッタ電極 1 0 も、図 2 に示すように、配線層 1 4 により全て互いに接続されている。

【0 0 2 2】

さて、図 1 は、上記 I G B T 1 のチップの平面構造を概略的に示す平面模式図である。この図 1 に示すように、I G B T 1 のチップはほぼ矩形平板状に構成されており、その表面における複数個のセルブロック 1 2（1 2 a、1 2 b、1 2

c、……) に対応する部位には、セルブロック 12 とほぼ同じ形状の複数のエミッタパッド 15 (15 a、15 b、15 c、……) が設けられている。また、IGBT 1 のチップの表面における一辺部 (図 1 中、上辺部) には、ほぼ正形状の複数のゲートパッド 16 (16 a、16 b、16 c、……) が一列に並ぶように設けられている。

【0023】

上記各エミッタパッド 15 (15 a、15 b、15 c、……) は、図 2 において 2 点鎖線で示すように、各セルブロック 12 内の多数のエミッタ電極 10 に接続するように形成されており、前記配線層 14 としての機能も有するものである。そして、各エミッタパッド 15 は、チップ外部と電気的な導通をとるためのものであり、本実施例の場合、チップ外部に設けられたエミッタ端子 (図示しない) に例えばワイヤボンディングにより接続されている。尚、IGBT 1 のチップを例えば配線基板に取り付ける場合は、上記エミッタ端子は基板に設けられたエミッタ端子用の電極で構成され、IGBT 1 のチップを例えばリードフレームに取り付ける場合は、上記エミッタ端子はリードフレームに設けられたエミッタ端子用のリード部で構成される。

【0024】

また、上記各ゲートパッド 16 (16 a、16 b、16 c、……) は、前記配線層 13 を介して各セルブロック 12 内の多数のゲート電極 8 に接続されている。この場合、上記配線層 13 は、横向きに引き出され、エミッタパッド 15 の図 1 において上下方向の辺部 (即ち、2 個のエミッタパッド 15 の間の部位) に沿うように配置され、各ゲートパッド 16 に接続されている。

【0025】

そして、各ゲートパッド 16 は、IGBT 1 のチップの外部と電気的な導通をとるためのものであり、本実施例の場合、チップの外部に設けられたゲート端子 17 (図 3 参照) に例えばワイヤボンディングにより接続されている。ここで、ゲート端子 17 に接続するゲートパッド 16 は、良品のセルブロック 12 のゲート電極 8 に接続されているゲートパッドである。これにより、良品のセルブロック 12 のゲート電極 8 (ゲートパッド 16) とゲート端子 17 との間は、ボンデ

イングワイヤ18によって接続される構成となる。これにより、外部からゲート制御用の信号がゲート端子17に与えられると、その信号は良品のセルブロック12のゲート電極8に与えられ、良品のセルブロック12内の素子が動作するようになる。

【0026】

これに対して、不良品のセルブロック12のゲート電極8に接続されているゲートパッド16（16c）は、図3に示すように、チップの外部のグランド端子19に例えばワイヤボンディングにより接続されている。これにより、ゲートパッド16とグランド端子19との間は、ボンディングワイヤ18によって接続される構成となる。この結果、不良品のセルブロック12のゲート電極8（ゲートパッド16c）は、グランド電位（GND電位）に固定される構成となる。これにより、不良品のセルブロック12のゲート電極8には、ゲート制御用の信号が与えられることがないから、不良品のセルブロック12内の素子が動作することはない。

【0027】

尚、IGBT1のチップを配線基板に取り付ける場合は、上記ゲート端子17及び上記グランド端子19は、配線基板に設けられた電極で構成される。また、IGBT1のチップをリードフレームに取り付ける場合は、上記ゲート端子17及び上記グランド端子19は、リードフレームに設けられたリード部で構成される。

【0028】

さて、複数個のセルブロック12の各良否の判定は、ウエハプロセス終了後の各チップのダイシング前あるいはダイシング後に、ゲート・エミッタ間の耐圧を測定する周知の検査装置を使用して行う。具体的には、上述したようにIGBT1のエミッタパッド15及びゲートパッド16を形成する工程まで完了した後、即ち、半導体ウエハプロセスを終了した後、上記検査装置の検査用針を1番目のセルブロック12のエミッタパッド15及びゲートパッド16に立てて（接続して）、ゲート電極8とエミッタ電極10との間の耐圧を測定する。

【0029】

このとき、例えば 20 V 以上の耐圧があれば、そのセルブロック 1 2 は良品であると判定し、そうでなければ（20 V 未満の耐圧であれば）、そのセルブロック 1 2 は不良品であると判定するように構成されている。続いて、2 番目以降のセルブロック 1 2 についても、同様にして、ゲート電極 8 とエミッタ電極 1 0 との間の耐圧を順に測定していく。

【0030】

そして、全てセルブロック 1 2 について、ゲート電極 8 とエミッタ電極 1 0 間の耐圧を測定して、良否の判定を完了したら、上述したように、良品のセルブロック 1 2 のゲート電極 8 に接続されているゲートパッド 1 6 を、チップの外部のゲート端子 1 7 にワイヤボンディングにより接続すると共に、不良品のセルブロック 1 2 のゲート電極 8 に接続されているゲートパッド 1 6 を、チップの外部のグランド端子 1 9 にワイヤボンディングにより接続する。この後、上記した構成の IGBT 1 のチップをパッケージに組み込む工程を実行すると、IGBT 1 の製造が完了する。

【0031】

このような構成の本実施例においては、1 個の IGBT 1 のチップ（半導体基板）の表面に複数個のセルブロック 1 2 を設け、これらセルブロック 1 2 に互いに独立する複数個のゲート電極 8 をそれぞれ設け、そして、IGBT 1 のチップに各ゲート電極 8 にそれぞれ接続されたボンディング用の複数個のゲートパッド 1 6 を設けた。この構成によれば、複数個のゲートパッド 1 6 を利用することにより、周知の検査装置を使用して、複数個のセルブロック 1 2 の各良否の判定を容易に行うことができる。

【0032】

そして、この構成の場合、良品のセルブロック 1 2 のゲートパッド 1 6 だけを、外部のゲート端子 1 7 に接続することが可能になる。このため、複数個のセルブロック 1 2 の中に不良品がある場合でも、良品のセルブロック 1 2 だけで IGBT 1（半導体装置）を構成することができ、IGBT 1 が正常に動作するようになる。これにより、IGBT 1 のチップサイズを大形化した場合でも、良品率が低下することを防止できる。

【0033】

しかも、上記構成の場合、多層配線構成とする必要がないため、半導体ウエハプロセスの工程数は、通常のIGBTの構成と同じで済む。というのは、ゲートパッド16をセルブロック12毎に設けることは、フォトマスクのパターン設計の変更で実現することができるためである。従って、IGBT1のチップサイズを大形化した場合でも、良品率が低下することを防止でき（即ち、歩留りを高くすることができる）、しかも、特開平8-191145号公報に提案された構成とは異なり、半導体ウエハプロセスが複雑になることを防止できる。

【0034】

また、上記実施例では、IGBT1のチップを矩形状に構成すると共に、複数個のゲートパッド16をIGBT1のチップの一辺部に一列に並べて配置するように構成したので、ゲートパッド16を外部のゲート端子17に接続する接続形態を設計し易くなる。尚、上記実施例では、不良セルブロック12のゲート電極8をグランド端子19にワイヤボンディングする例を示したが、外部のエミッタ端子（図示しない）にワイヤボンディングするようにしても良い。また、グランド端子19とエミッタ端子を共通端子としても良い。

【0035】

尚、上記実施例においては、IGBT1のチップに、複数個のセルブロック12の各エミッタ電極10にそれぞれ接続された複数個のエミッタパッド15を設けるようにしているが、ゲート電極8のみブロック別に独立とし、全セルブロック共通、あるいは、複数のセルブロック毎に共通のエミッタパッド15を設けるようにしても良い。また、Pベース層5は、各セルブロック共通のシングルベースとしても良いし、各セルブロック毎あるいは複数のセルブロック毎に設定された島状ベースとしても良い。尚、島状ベースとした場合、ゲートオフ時に隣合う島状ベースからn-ドリフト層4側へ延びる空乏層が互いに連結するようにベース間距離を設定すれば、耐圧に優れた構成となる。

【0036】

図4は本発明の第2の実施例を示すものであり、第1の実施例と異なるところを説明する。尚、第1の実施例と同一部分には同一符号を付している。第2の実

施例では、不良品のセルブロック 1 2 のゲート電極 8 に接続されているゲートパッド 1 6 (1 6 c) を、図 4 に示すように、チップの内部のエミッタパッド 1 5 (1 5 c) に例えばワイヤボンディングにより接続するように構成した。これにより、ゲートパッド 1 6 とエミッタパッド 1 5 との間は、ボンディングワイヤ 1 8 によって接続される構成となる。この結果、不良品のセルブロック 1 2 のゲート電極 8 (ゲートパッド 1 6 c) は、エミッタパッド 1 5 の電位に固定される構成となる。尚、エミッタパッド 1 5 は、通常、グランドに接続されるため、上記エミッタパッド 1 5 の電位はグランド電位となる。これにより、不良品のセルブロック 1 2 のゲート電極 8 には、ゲート制御用の信号が与えられることがないから、不良品のセルブロック 1 2 内の素子が動作することはない。

【 0 0 3 7 】

図 5 は本発明の第 3 の実施例を示すものであり、第 1 の実施例と異なるところを説明する。尚、第 1 の実施例と同一部分には同一符号を付している。第 3 の実施例では、ゲートパッド 1 6 と外部のゲート端子との接続、並びに、ゲートパッド 1 6 と外部のグランド端子との接続を、半田接合により行うように構成している。

【 0 0 3 8 】

具体的には、図 5 に示すように、I G B T 1 のチップを取り付ける配線基板 2 0 の上面に、ゲートパッド 1 6 を接続するためのゲート端子 2 1 と、エミッタパッド 1 5 を接続するためのエミッタ端子 2 2 とを予め形成しておく。上記ゲート端子 2 1 及び上記エミッタ端子 2 2 は、配線基板 2 0 上に形成された例えば導体パターン等からなる電極で構成されている。

【 0 0 3 9 】

そして、I G B T 1 のチップのゲートパッド 1 6 及びエミッタパッド 1 5 は、配線基板 2 0 のゲート端子 2 1 及びエミッタ端子 2 2 の上に半田層 2 3 を介してフェースダウン接合されるように構成されている。尚、上述した以外の第 3 の実施例の構成は、第 1 の実施例の構成と同じ構成としたが、コレクタ電極 1 1 をエミッタ電極 1 0 と同一面側としたいいわゆる u p - ドレインタイプの構造とするように構成しても良い。

【0 0 4 0】

従って、第 3 の実施例においても、第 1 の実施例とほぼ同じ作用効果を得ることができる。特に、第 3 の実施例では、I G B T 1 のチップのゲートパッド 1 6 及びエミッタパッド 1 5 を配線基板 2 0 のゲート端子 2 1 及びエミッタ端子 2 2 に半田接合により接続するように構成したので、I G B T 1 のチップの冷却性能を向上させることができる。

【0 0 4 1】

また、上記第 3 の実施例では、I G B T 1 のチップのゲートパッド 1 6 及びエミッタパッド 1 5 を配線基板 2 0 のゲート端子 2 1 及びエミッタ端子 2 2 に半田接合により接続したが、これに代えて、I G B T 1 のチップのゲートパッド 1 6 及びエミッタパッド 1 5 を基板 2 0 のゲート端子 2 1 及びエミッタ端子 2 2 に直接圧接（圧着）することにより接続する構成としても良い。

【0 0 4 2】

尚、上記各実施例では、複数個のゲートパッド 1 6 を I G B T 1 のチップの一辺部に並べて配置するように構成したが、これに限られるものではなく、複数個のゲートパッド 1 6 の配置位置は、ゲートパッド 1 6 を外部のゲート端子に接続する接続形態に対応するように設計すれば良い。また、上記各実施例では、n チャンネルタイプの I G B T に適用した例を示したが、勿論、p チャンネルタイプのものに適用しても良く、不良品のセルブロックのゲート電極 8 の電位もグランド電位に限らず、各セルのチャンネルが反転しない電位に固定できれば良い。

【0 0 4 3】

更に、上記各実施例では、本発明を I G B T に適用したが、これに限られるものではなく、半導体基板の表面に電流制御用のゲート電極を備えた半導体装置、例えば M O S F E T に適用しても良い。尚、本発明を M O S F E T に適用した場合には、上記各実施例のエミッタパッド 1 5 がソースパッドに代わる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施例を示す I G B T の部分平面模式図

【図 2】

I G B T の縦断面模式図

【図 3】

ゲートパッドとゲート端子またはグランド端子とをワイヤボンディングにより接続した状態を示す図 1 相当図

【図 4】

本発明の第 2 の実施例を示す図 3 相当図

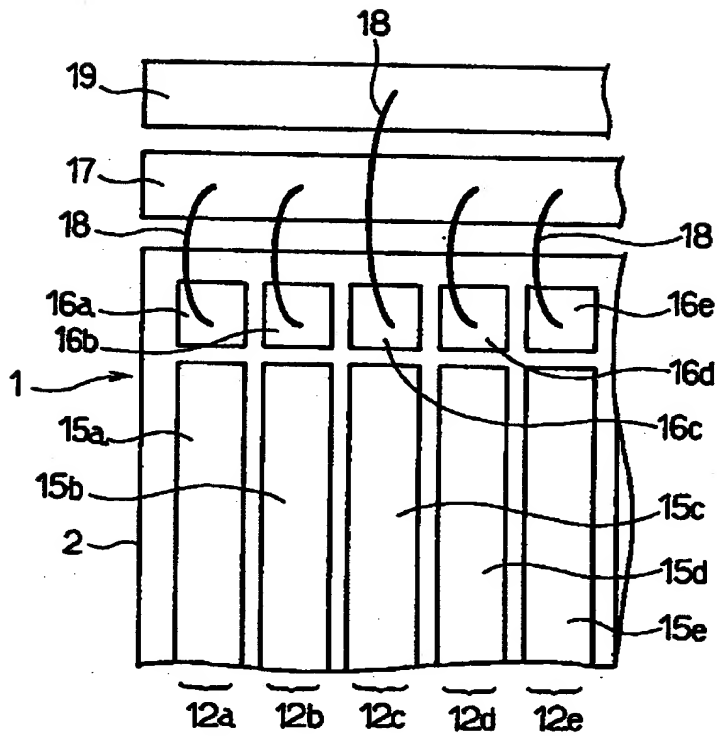
【図 5】

本発明の第 3 の実施例を示すゲートパッドとゲート端子とを並びにエミッタパッドとエミッタ端子とを半田接合により接続した状態を示す部分断面図

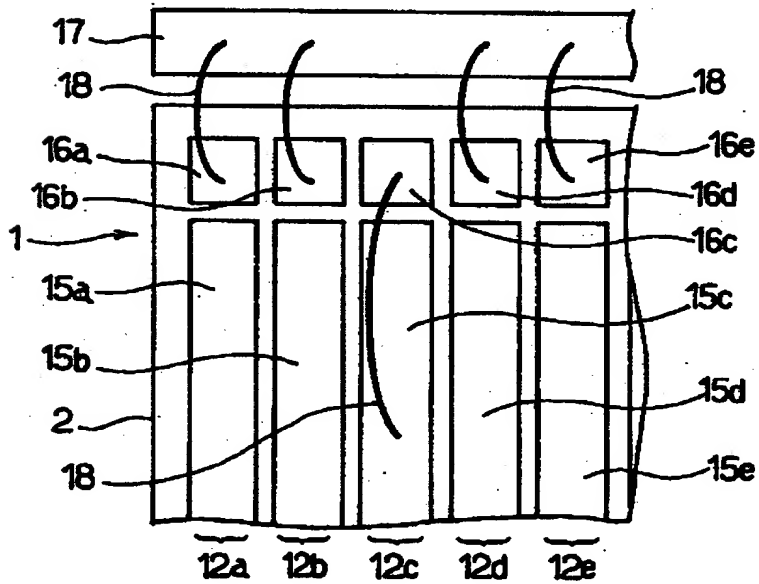
【符号の説明】

1 は I G B T (半導体装置)、2 は p + 基板 (半導体基板)、6 はトレンチ、7 はゲート絶縁膜、8 はゲート電極、9 は n + エミッタ層、1 0 はエミッタ電極、1 1 はコレクタ電極、1 2 はセルブロック、1 3 は配線層、1 4 は配線層、1 5 はエミッタパッド、1 6 はゲートパッド、1 7 はゲート端子、1 8 はボンディングワイヤ、1 9 はグランド端子、2 0 は基板、2 1 はゲート端子、2 2 はエミッタ端子を示す。

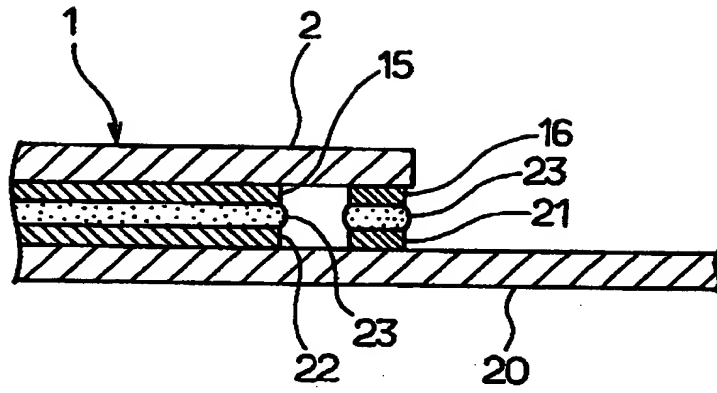
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 半導体装置のチップサイズを大形化した場合でも、良品率が低下することを防止し、半導体ウエハプロセスが複雑になることを防止する。

【解決手段】 本発明の半導体装置は、1個の半導体基板2を備え、この半導体基板2の表面に設けられた複数個のセルブロック12を備え、これらセルブロック12にそれぞれ設けられ互いに独立する複数個のゲート電極8を備え、そして、半導体基板2に設けられ各ゲート電極8にそれぞれ接続された複数個のゲートパッド16を備えて成るものである。この構成の場合、複数個のゲートパッド16を利用することにより、周知の検査装置を使用して、複数個のセルブロック12の良否の判定を容易に行うことができ、従って、良品のセルブロック12だけで半導体装置1を構成することができる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000004260]

1. 変更年月日	1996年10月 8日
[変更理由]	名称変更
住 所	愛知県刈谷市昭和町1丁目1番地
氏 名	株式会社デンソー